

電機資訊學院 2021 實作專題競賽 BRAIN PLUS HAND

利用電荷泵鎖相式迴路及雙緣驅動格雷碼計數器之12-位元縱列平行單陡坡類比數位轉換器讀出電路

A 12-bit Column Paralleled Single Slope ADC Readout Circuit Using Charge-Pump Phase-Locked Loop and Double-Edge Trigger Gray Code Counter

組長: 王啟翰 組員: 何明耀 組別: EECS04

一、前言

因應CMOS Image Sensor資料平行的讀出，縱列平行類比數位轉換器廣泛被運用於同時且平行的讀出各縱列的影像像素資訊，但每一縱列寬度有限，通常為一個像素寬度，於是為符合在有限寬度下實現一個中高解析度(10-12bit)的類比數位轉換器，我們採用電路複雜度較低的單陡坡類比數位轉換器(Single Slope Analog-to-Digital Converter)。

此架構使用TSMC 0.18微米1P6M互補式金氧半導體標準製程檔進行模擬設計並模擬驗證一個擁有 64×64 像素陣列的單陡坡類比數位轉換器，類比端的操作電壓為 3.3 伏特，數位端的操作電壓為 1.8 伏特。各像素間距(pixel pitch)為 12 微米。我們的目標是希望透過下線實作整個IC design的流程，驗證其結果有無對上一版晶片量測時所發生的問題做出改善。

二、原理分析及系統介紹

1. 像素讀出運作原理

本次設計主要是透過縱列平行單陡坡類比數位轉換器實現影像讀出電路(Fig. 1)，其原理為先利用64*64的像素(Fig. 2a)陣列進行曝光，接著用列控制電路(Row Control)把光訊號逐列讀出，並且藉由行共享比較器(Column shared Comparator, Fig. 2b)將光訊號跟斜坡產生器(Ramp Generator, Fig. 3)產生的斜率訊號做比較，直到斜率訊號上升超過光訊號時，比較器的輸出轉態；D型正反器(DFF)存住比較器轉態瞬間之格雷碼(Gray Code)，最後利用行控制電路(Column Control)將每一行之格雷碼依序讀出(Fig.4)。

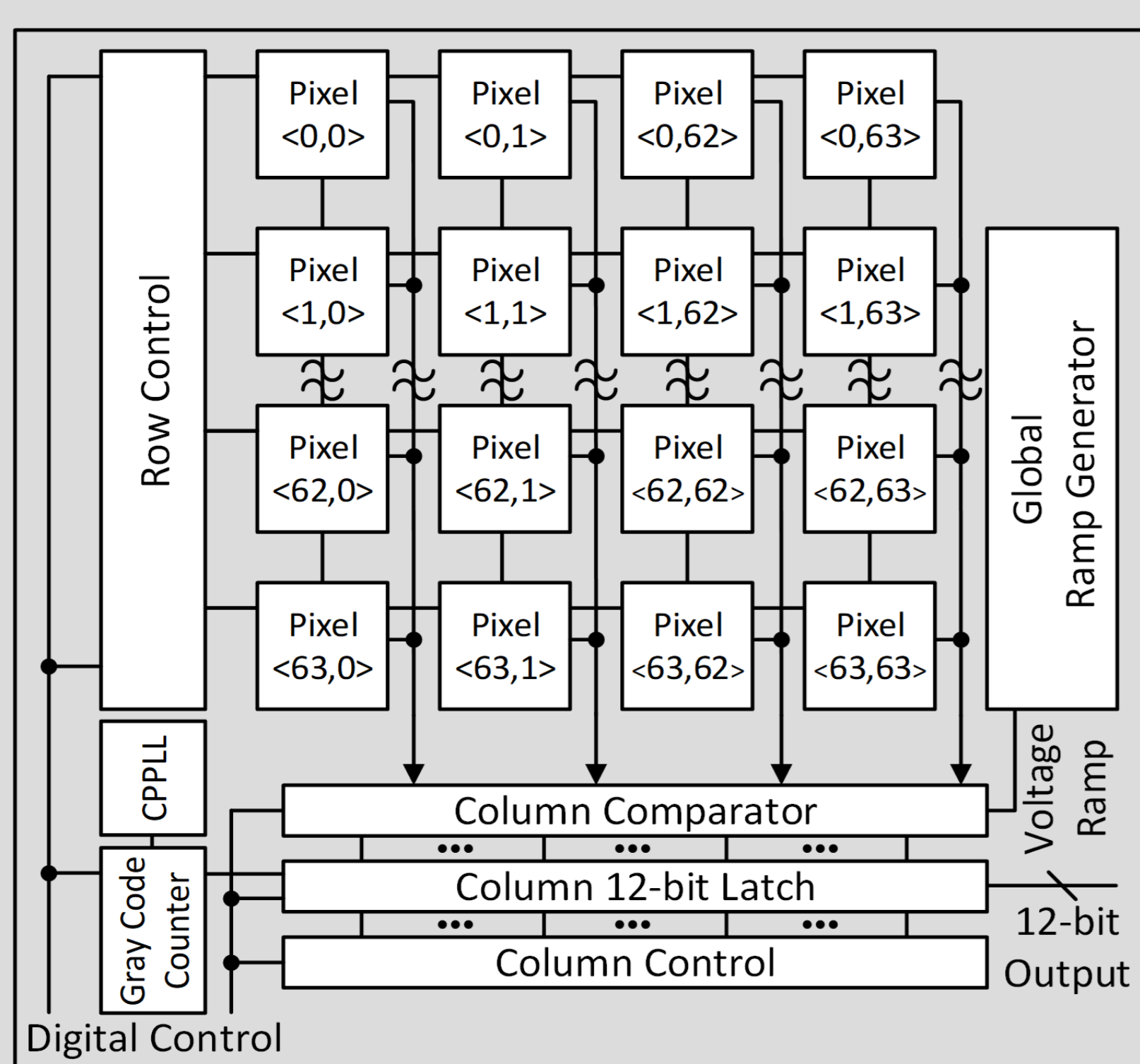


Fig. 1. Block Diagram

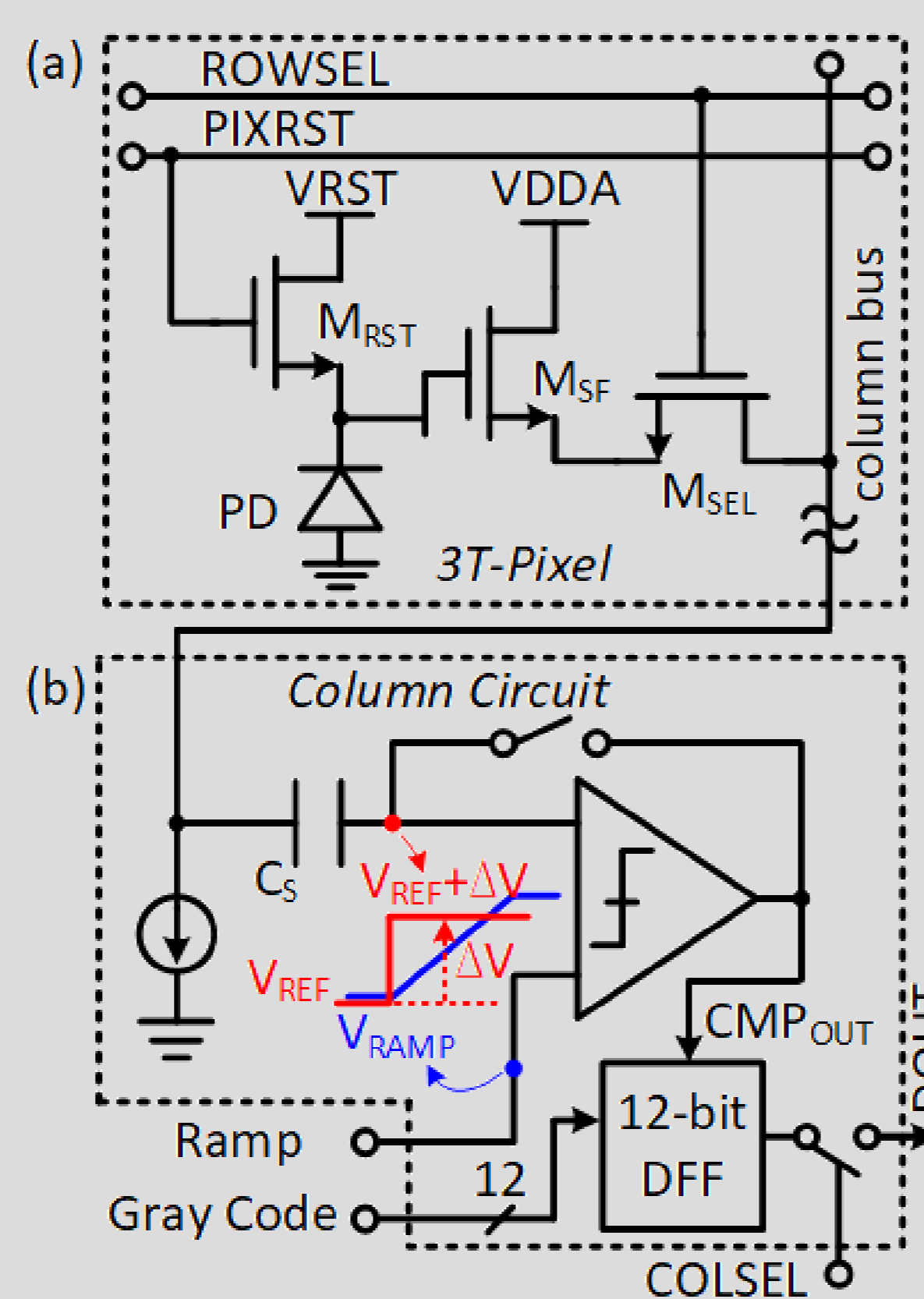


Fig. 2. Readout Path

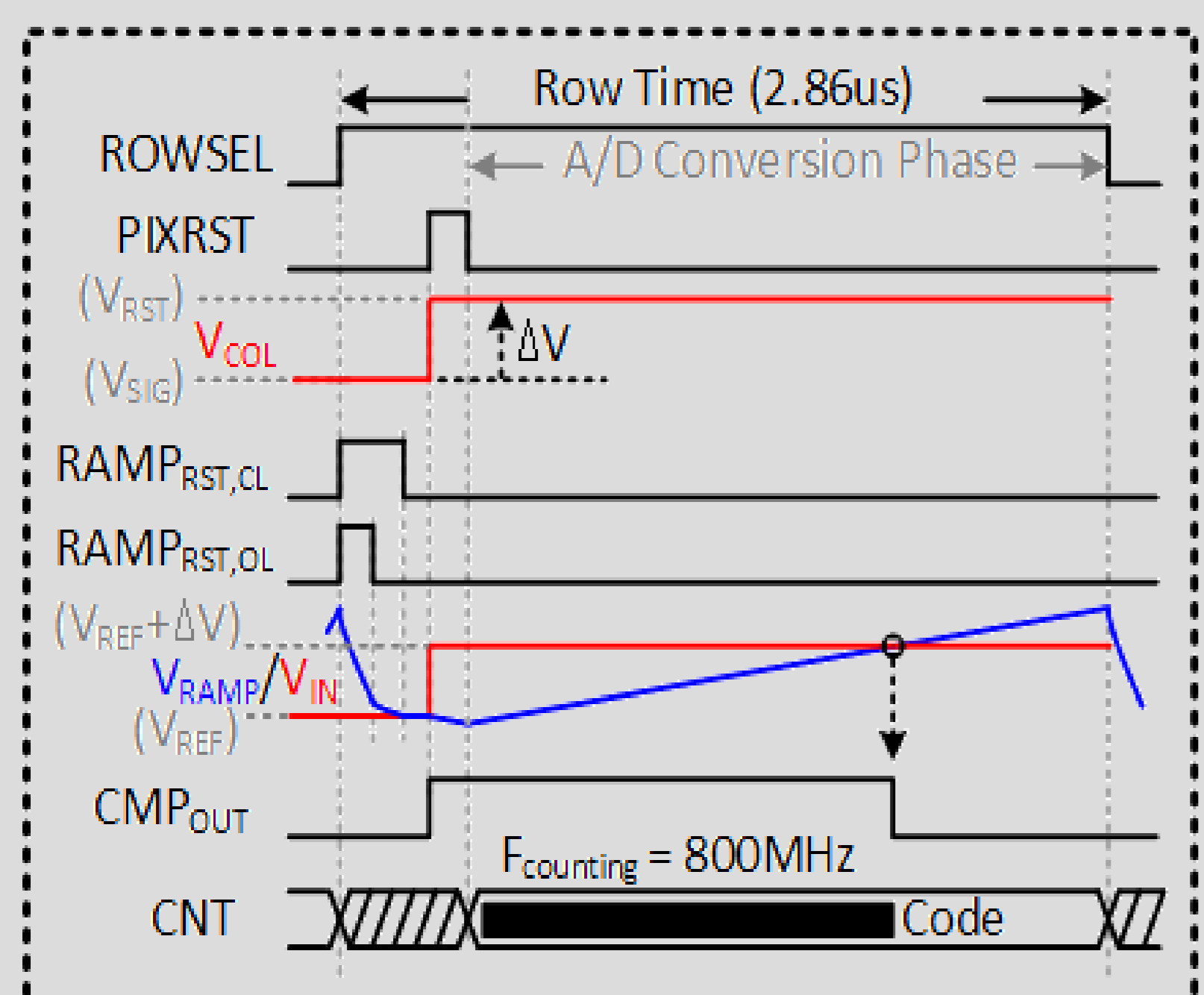


Fig. 4. Timing Diagram

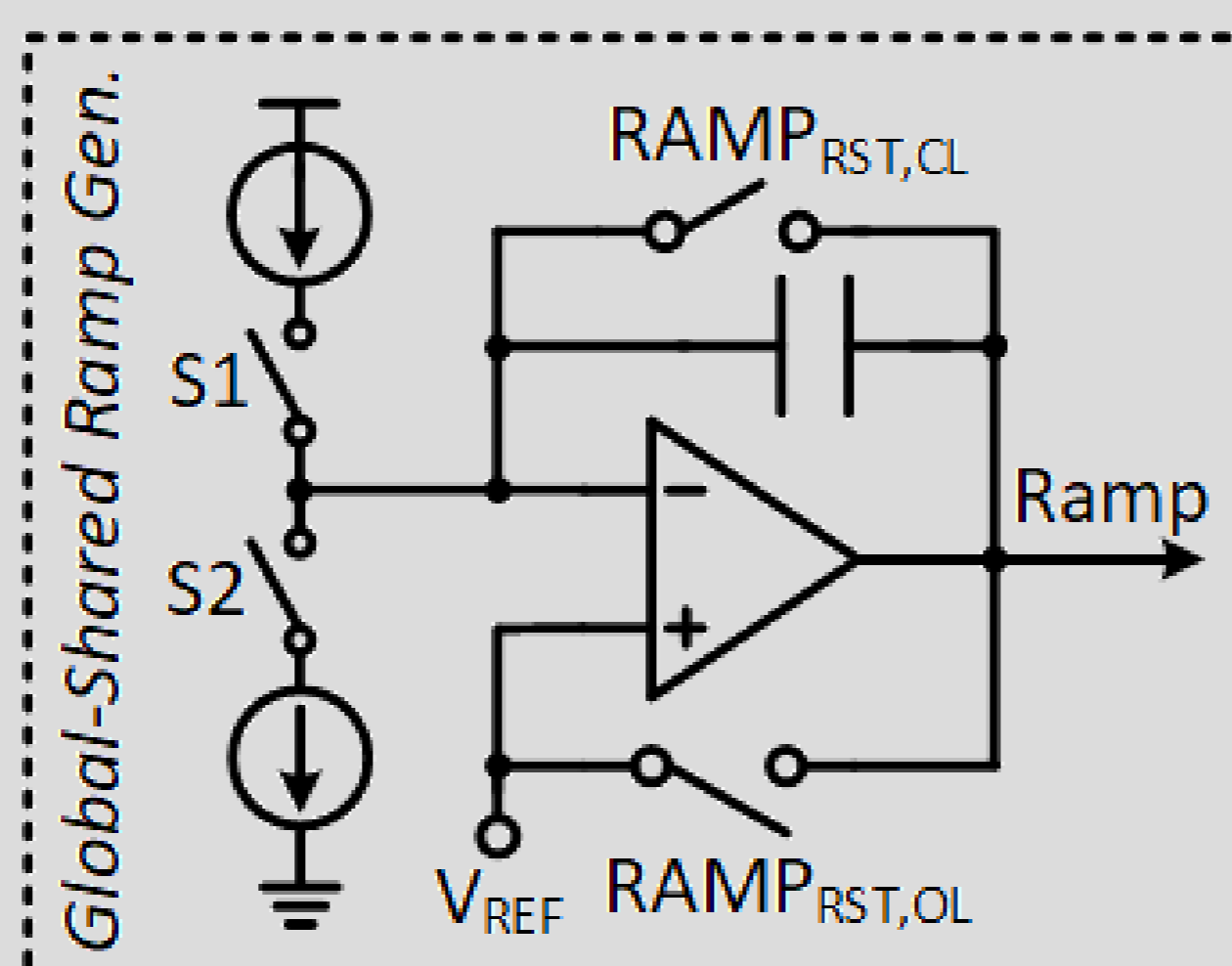


Fig. 3. Ramp Generator

2. 主要電路設計

(1) Double-edge-triggered DFF

因電荷泵鎖相迴路(Charge-Pump Phase-Locked Loop)所產生之時脈為800MHz，故12-bit Counter計數時，LSB須為雙緣驅動。前一版晶片量測時，此部分所產生的結果並不如預期，故改用Fig.5之架構，此電路左右對稱，目的是為了使工作週期接近50%，使其能夠完整的驅動下一個bit計數；另外，此電路的缺點就是須額外有一個相位差90度的時脈。

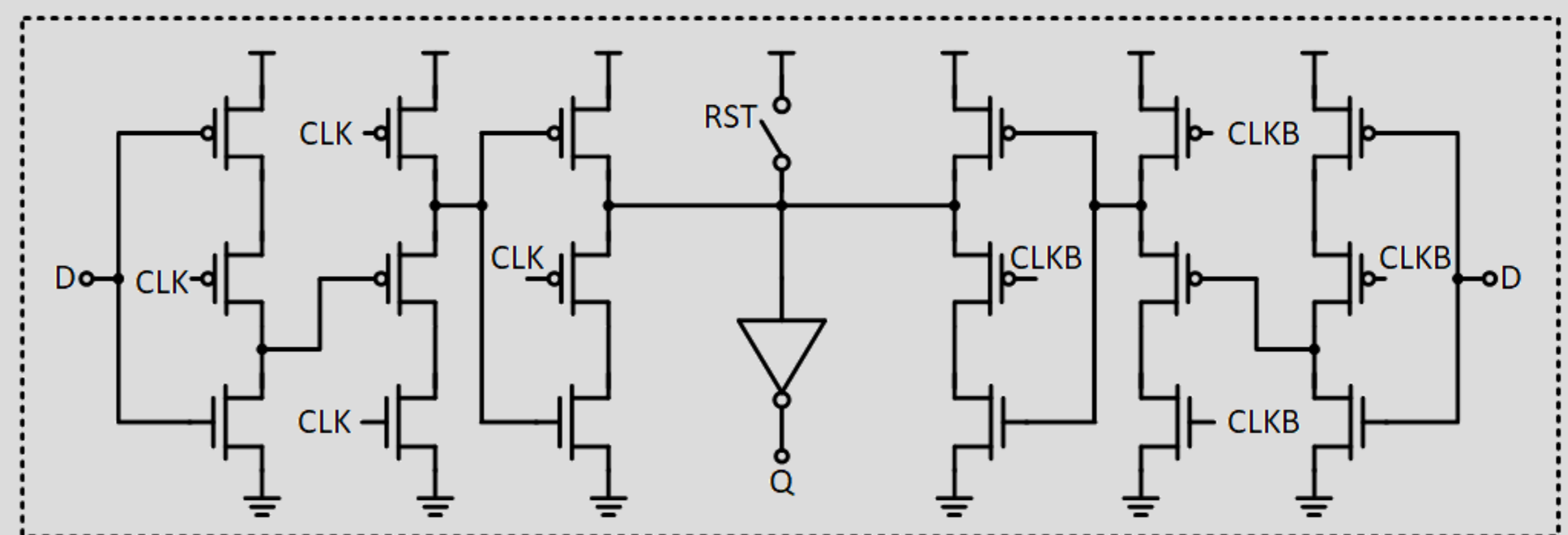


Fig. 5. Double-edge-triggered DFF

(2) Voltage Control Delay:

計數器(counter)由二進位碼轉格雷碼時，須先做同步的程序，確保計數器在每個位元都對數，且工作週期皆維持在50%，上版晶片在時脈延遲的部分為固定，容易受製程變異影響，使其無法準確同步；故此版改採用壓控式的延遲電路，並使其可調區間為950ps(即約1.5LSB)

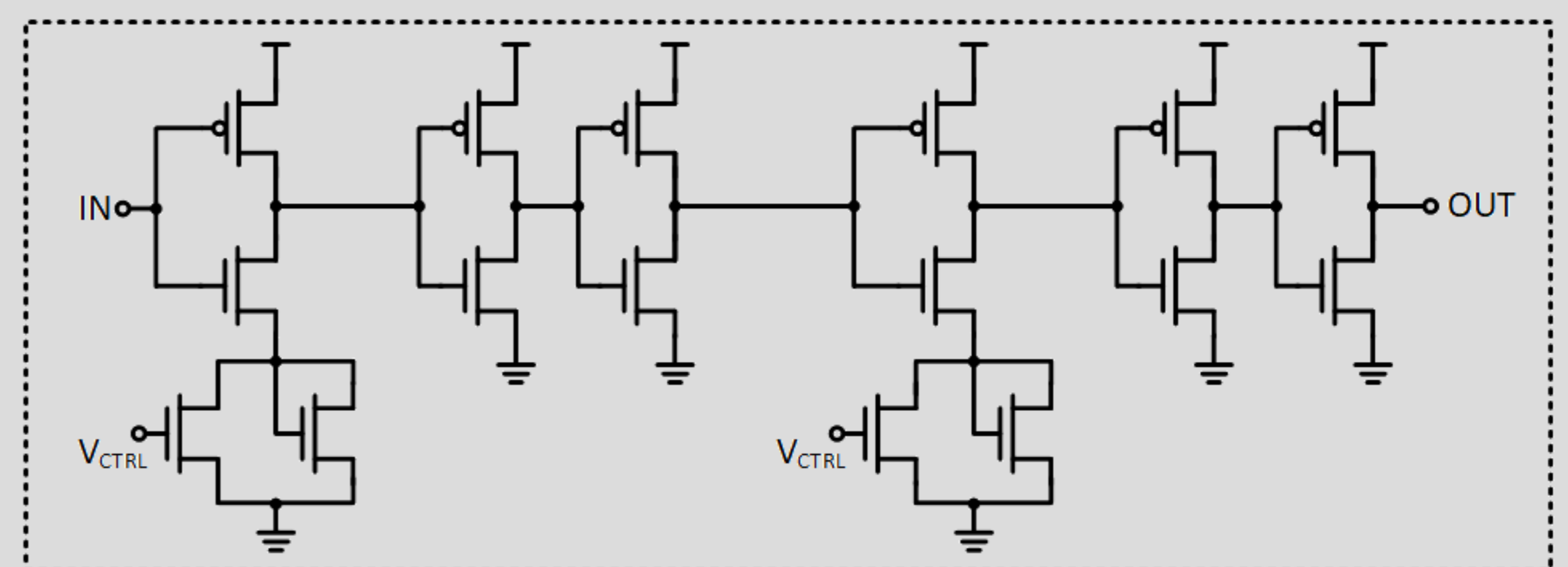


Fig. 6. Voltage Control Delay Cell

三、實驗結果

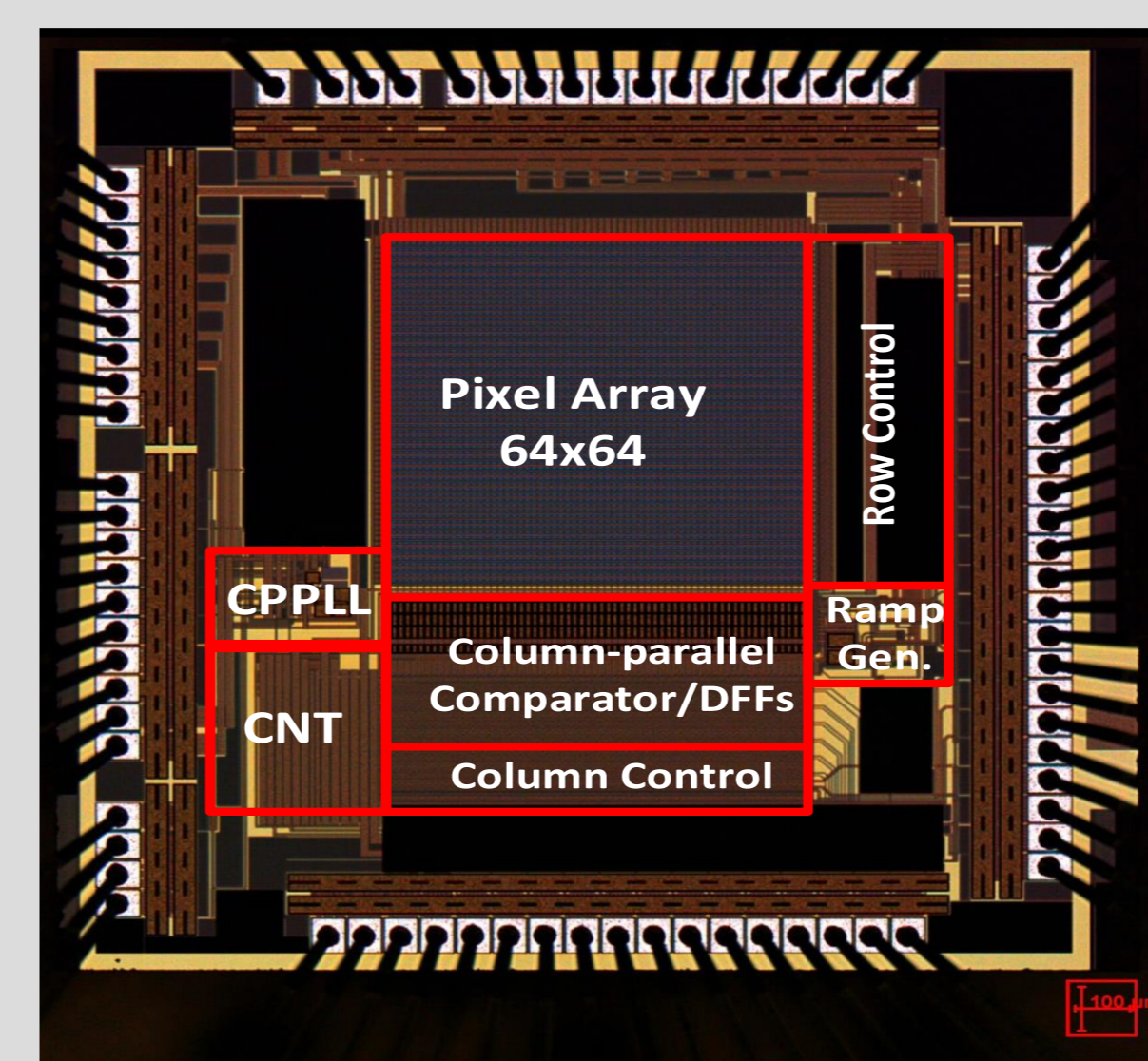


Fig. 7. Die Photo

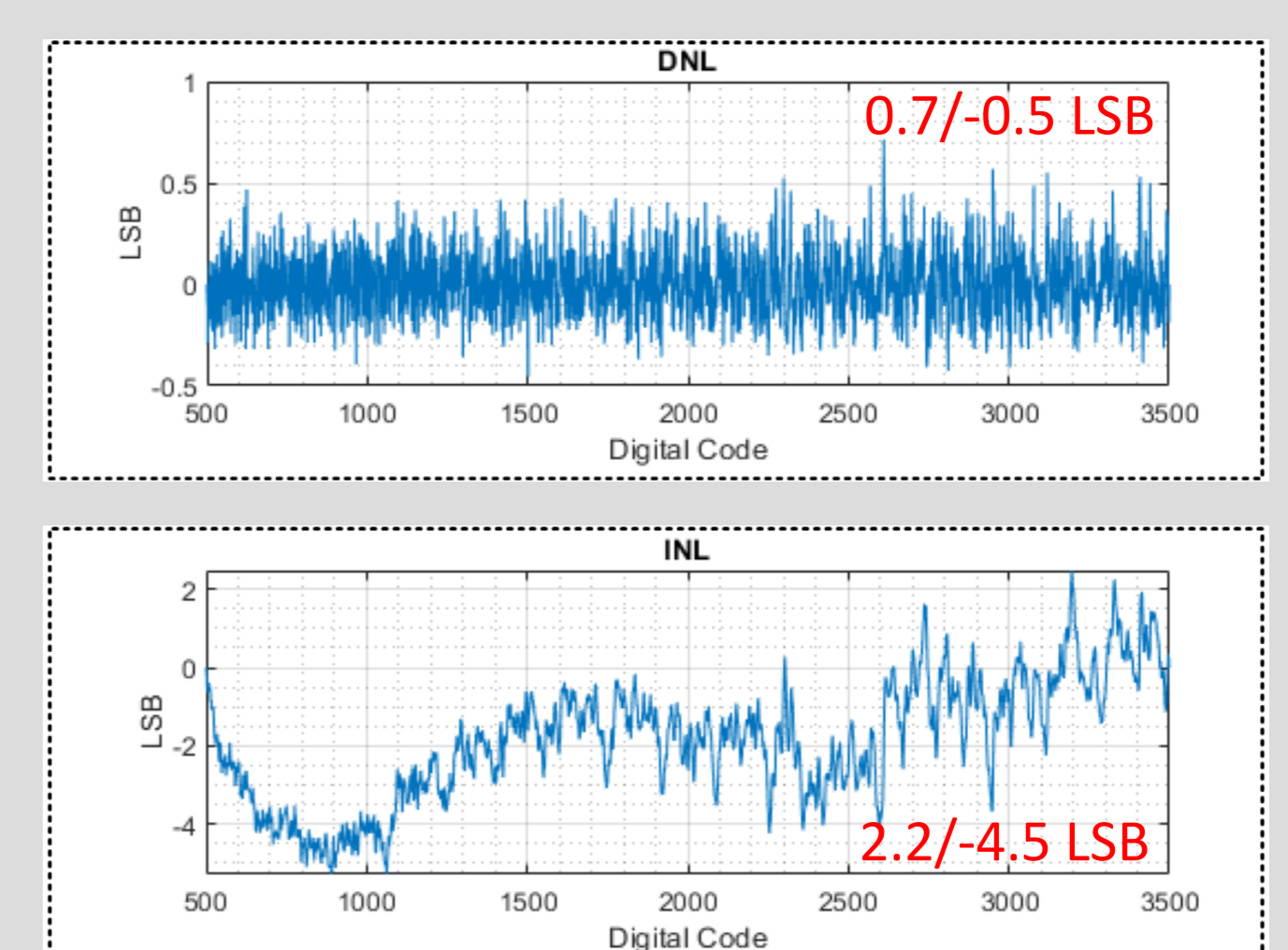


Fig. 9. Static Performance

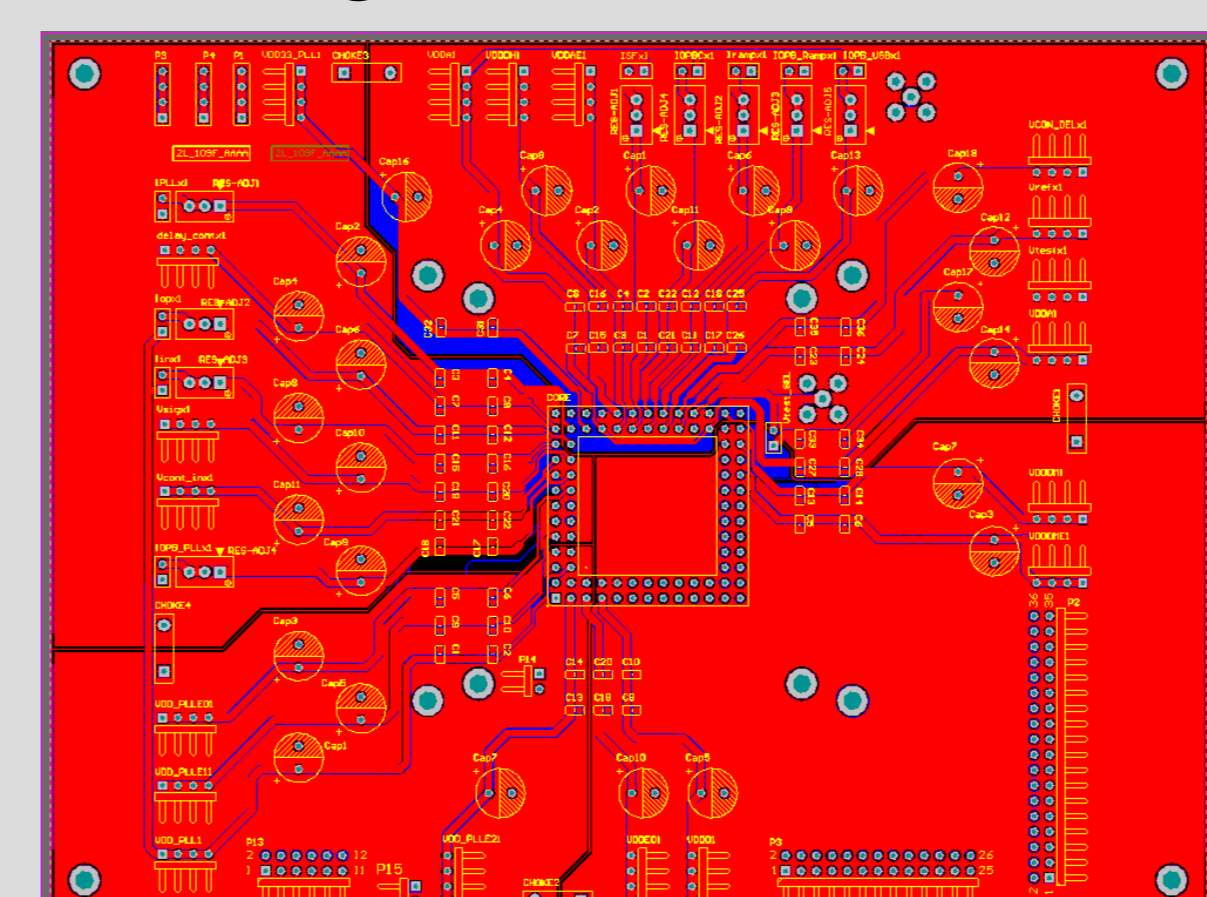


Fig. 8. PCB



Fig. 10. Captured Image

Table. I Meas.

Fin	48.828Hz
Fs	200kHz
ENOB	8.51bit
SNDR	51.79dB
SFDR	56.89dBc